

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-203994

(43)Date of publication of application : 13.08.1993

(51)Int.Cl.

G02F 1/136
G02F 1/133
G02F 1/1343
H01L 27/12
H01L 29/784

(21)Application number : 04-245121

(22)Date of filing : 14.09.1992

(71)Applicant : TOSHIBA CORP

(72)Inventor : UEDA TOMOMASA
AKIYAMA MASAHIKO
SUGAWARA ATSUSHI
SHIBUSAWA MAKOTO
IKEDA MITSUSHI
TSUJI YOSHIKO
TOEDA HISAO

(30)Priority

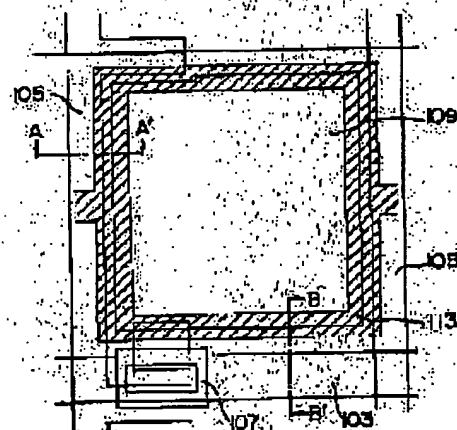
Priority number : 03243745 Priority date : 24.09.1991 Priority country : JP

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To eliminate the brightness irregularity and crosstalk of a display image and make an excellent image display by decreasing the parasitic capacity between a picture element electrode, and a scanning line and a signal line which are close to it.

CONSTITUTION: The liquid crystal display device has an array substrate which has a TFT 107 connected to the scanning line 103 and signal line and the picture element electrode 109 connected thereto, a counter substrate which has a counter electrode facing them, and a liquid crystal layer sandwiched between the array substrate and counter substrate; and an electrostatic shielding electrode 113 which overlaps with at least part of the peripheral edge part of the picture element electrode 109 and also overlaps with at least one of the scanning line 103 and signal line 105 is provided on the array substrate.



LEGAL STATUS

[Date of request for examination]

11.08.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3210437

[Date of registration]

13.07.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

①

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-203994

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	FI	技術表示箇所
G 0 2 F	1/136	6 0 0	9018-2K	
	1/133	5 5 0	7820-2K	
	1/1343		9018-2K	
H 0 1 L	27/12	A	8728-4M	
			9056-4M	
			H 0 1 L 29/ 78	3 1 1 A
審査請求 未請求 請求項の数1(全18頁) 最終頁に続く				

(21)出願番号 特願平4-245121

(22)出願日 平成4年(1992)9月14日

(31)優先権主張番号 特願平3-243745

(32)優先日 平3(1991)9月24日

(33)優先権主張国 日本(JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 上田 知正

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 秋山 政彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 菅原 淳

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(74)代理人 弁理士 須山 佐一

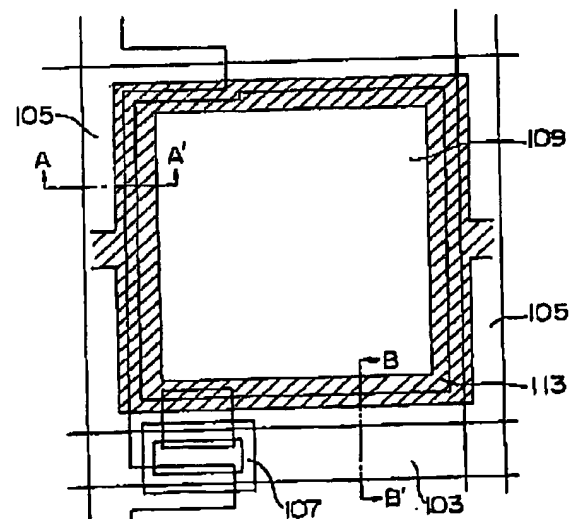
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 画素電極とこれに近接する走査線や信号線との間の寄生容量を低減して、表示画像の輝度むらやクロストークを解消し良好な画像表示を実現する液晶表示装置を提供する。

【構成】 走査線103および信号線105に接続されたTFT107とこれに接続された画素電極109とを有するアレイ基板と、これに対向する対向電極を有する対向基板と、前記のアレイ基板および前記の対向基板の間に挟持された液晶層とを有する液晶表示装置において、前記の画素電極109の周縁部の少なくとも一部に重なり、かつ走査線103および信号線105のうち少なくとも一方に重なるように配設された静電遮蔽性を有するシールド電極113を前記のアレイ基板上に具備する液晶表示装置である。



(2)

特開平5-203994

1

2

【特許請求の範囲】

【請求項1】 列設された走査線とこれに交差して列設された信号線と前記走査線および前記信号線に接続された薄膜トランジスタ素子とこれに接続された画素電極とを有するアレイ基板と、

これに対向する対向電極を有する対向基板と、

前記アレイ基板および前記対向基板の間に挟持された液晶層とを備え、

前記画素電極の周縁部の少なくとも一部に重なり、かつ前記走査線および前記信号線のうち少なくとも一方に重なるように配設された静電遮蔽性を有するシールド電極を前記アレイ基板上に具備することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置に関するもので、特に薄膜トランジスタを用いたアクティブマトリックス型液晶表示装置に関する。

【0002】

【従来の技術】 電子機器の小型化や軽量化および低消費電力化が近年進められているが、ディスプレイデバイスの分野においてもCRT (Cathode Ray Tube) から代替する小型、軽量、低消費電力のディスプレイデバイスとして、フラットパネルディスプレイの研究・開発が盛んに行なわれている。

【0003】 このなかでも、特に液晶表示装置は、大面積表示が可能であることや、フルカラー化が可能であること、および低電流・低電圧動作のディスプレイデバイスであること等の特長を有している。そのような液晶表示装置としては、目的に応じて様々な動作方式のものが用いられるが、なかでもアクティブマトリックス型液晶表示素子はフルカラーの動画表示を高解像度で行なうことが可能である等の特長を有しており、注目を集めている。

【0004】 アクティブマトリックス型液晶表示装置は、マトリックス状に配置した電極の交差部分ごとに画素を配置し、その画素ごとにスイッチング素子を配設して、このスイッチング素子で接続された画素を個別に駆動制御するものであるが、このようなアクティブマトリックス型液晶表示装置には、薄膜トランジスタ（以下、TFTと略称）を用いることが注目され、研究・開発が盛んに行なわれて既に実用に供されているものもある。

【0005】 現在、例えばラップトップ型コンピュータ用の液晶表示装置として対角10インチサイズで画素数が縦480×横640程度のものが主流であるが、より高画質、高精細の直視型液晶ディスプレイや、ファインピッチで高精細な投射型（プロジェクション型）表示装置を*

$$\Delta V_p = \{C_{gs} / (CLC + C_s + C_{gs} + C_{ds})\} \times \Delta V_g$$

このような突き抜け電圧と呼ばれる電位変動 ΔV_p が $\pm 50\%$ 在するために、画素電極2807の電位が信号線280

* 目指した研究・開発が行なわれている。

【0006】 このようなTFTを用いたアクティブマトリックス型液晶表示装置の構成を、そのTFTアレイ基板の画素部分を抜き出して図28に示す。また図29は、その画素部分全体の電気的な構成を示す等価回路図である。

【0007】 ガラス絶縁基板上に、列設された走査線2801と、これに交差して列設された信号線2803と、これら走査線2801および信号線2803に接続されたTFT2805と、これに接続された画素電極2807と、この画素電極2807に絶縁膜を介して対向し補助容量 C_s を形成する補助容量電極2809が形成されて、TFTアレイ基板2811が形成されている。そしてこのTFTアレイ基板2811に対向する対向電極2813と、画素電極2807および対向電極2813の間に配向膜（図示省略）を介して挟持された液晶層2815とから液晶表示装置はその主要部が構成されている。

【0008】 このような構成の装置は、走査線2801が選択される期間、すなわち走査選択期間にTFT2805がON（導通状態）になり、信号線2803を介して印加される電圧により画素電極2807と対向電極2813とこれらに挟持された液晶層2815とで形成される液晶容量 CLC と、TFTアレイ基板2811に作り込まれた補助容量 C_s とが充電される。そして走査線2801が選択されない期間、すなわち走査非選択期間にはTFT2805がOFF（高抵抗状態）になり、画素電極2807は信号線2803から電気的に切り離された状態となる。そして前記の走査選択期間中に蓄えられた電荷により点灯しきい値以上の電圧が液晶層2815に印加されている間は、その画素の点灯状態が維持される。

【0009】 ところで、上記のようなTFTを用いたアクティブマトリックス型液晶表示装置においては、画素電極2807と走査線2801との間、および画素電極2807と信号線2803との間に、それぞれ寄生容量 C_{gs} 、 C_{ds} という静電容量が形成される。これらの寄生容量 C_{gs} 、 C_{ds} によって画素電極2807は走査線2801や信号線2803と容量結合されるため、走査線2801や信号線2803の電位変動が画素電極2807の電圧に影響を与え、その電圧をノイズ的に変動させる。

【0010】 走査線2801の電位変動が問題となるのは、特に走査パルスの立ち下がりの際で、この走査パルスの立ち下がりの電圧変化に応じて突き抜け電圧と呼ばれる電位変動 ΔV_p が起こる。ここで、このような電位変動 ΔV_p は、次のような式で示される値をとる。

(3)

特開平5-203994

3

3に印加した所定の信号電圧とは異なったものとなり、正確な信号電圧の書き込みが妨げられる。そこで従来の技術では、これに対応して対向電極2813の電位を電位変動 ΔV_p 分シフトさせ、この突き抜け電圧と呼ばれる電位変動 ΔV_p を補償するようにして対処している。

【0011】しかしながら、CLCは一定ではなく液晶にかかる電圧や液晶の姿勢によって変化し、また製造上の問題からも画面内の C_{gs} 、 C_s 、CLCをばらつきなく全て一定とすることは不可能である。このため、 ΔV_p は同一画面内でも一定ではなく位置ごとにばらつきがあり、対向電極2813の電位を調整するだけでは必ずしも十分に補償することができない。その結果、画面上にフリッカや焼き付きが発生する。

【0012】一方、信号線2803の電位は映像信号電*

$$\Delta V_{ps} = (C_{ds1} \times \Delta V_{sig1} + C_{ds2} \times \Delta V_{sig2}) / (CLC + C_s + C_{gs} + C_{ds1} + C_{ds2})$$

となる。この電位変動 ΔV_{ps} が、1フレームごとに、言い換えれば画面の一番下の画素列を書き込むごとに起こる。このため、画素ごとに見ると、書き込みが行なわれて ΔV_{ps} が発生するまでの時間が画面の上下で異なるため、それが画面の輝度の位置的ばらつきとして現れる。これがいわゆる画面の輝度むらと呼ばれるものとなって観察される。

【0014】そしてさらに C_{ds1} 、 C_{ds2} が大きくなると信号線2803の電位変動が画素電極2807の電位変動を引き起こしてクロストークを発生させてしまう。

【0015】これらの寄生容量は、TFTアレイ基板2811において、次のような場所に形成される。まず C_{gs} は、主にTFT2805のチャネル部分と走査線2801およびゲート電極と画素電極2807（ソース電極）の重なる部分で形成される。また C_{ds1} 、 C_{ds2} は、主に画素電極2807と信号線2803とが近接する部分で形成される。

【0016】前述のように液晶表示装置の小型化・高精細化が進み、1画素の寸法がますます微細化すると、画素の開口率を向上させ輝度を高くするためにもますます各電極間距離を近付けることが必要となってくる。そしてこのように各電極間距離を近付けると、上記の寄生容量 C_{gs} 、 C_{ds1} 、 C_{ds2} は、ますます大きな値となり、これに起因して輝度むらやクロストークがますます顕著に発生し、表示画像の品質が低下する。

【0017】一方、走査線2801および信号線2803と画素電極2807との間の間隙を光が透過して画素部分のコントラストが低下することを避けるため、およびTFT2805に光が入射して光電流を発生させTFT2805が誤動作することを避けるために、従来の液晶表示装置には、ブラックマトリックス、あるいはブラックマスクと呼ばれる遮光膜が用いられている。このブラックマトリックスは、通常対向基板側に設けられており、TFTアレイ基板2811と対向基板とを対向配置※50

4

* 圧に対応して常に一様ではなく変動しているため、この信号線2803に起因した画素電極2807の電位変動は走査線2801の場合よりも頻繁かつ多様な電位変動となる。その一例としてフレーム反転での変動の様子を説明する。

【0013】フレーム反転では、全ての信号線2803電位を同一極性とし、1フレームごとに信号線2803の極性を反転するため、この極性を反転したときに最も信号線2803の電位変動が大きい。このときの画素電極2807の電位変動 ΔV_{ps1} は、画素電極2807との間で寄生容量を形成する左右両側の信号線2803の電位変動を ΔV_{sig1} 、 ΔV_{sig2} とし、またその寄生容量をそれぞれ C_{ds1} 、 C_{ds2} とすると、

※させる際に画素部の開口させたい部分にブラックマトリックスの開口部が位置するようにアライメントさせていた。

20 【0018】しかしながら、前述のように液晶表示装置の小型化・高精細化が進み、1画素の寸法がますます微細化すると、画素の開口率を向上させ輝度を高くするためにはさらに微細なパターンサイズおよび精度に画素電極やブラックマトリックスを形成し、しかも対向基板（図示省略）とTFTアレイ基板2811とをさらに微細で精巧にアライメントせねばならず、その製造がさらに困難なものとなる。

【0019】

30 【発明が解決しようとする課題】このように、従来の液晶表示装置においては、寄生容量に起因して、輝度むらやクロストークが発生するという問題があった。

【0020】また、画素がますます微細化すると、画素電極やブラックマトリックスのパターン精度やアライメントトランシスがますます厳密でシビアなものになり、その製造がますます困難なものとなるという問題があった。

40 【0021】本発明は、このような問題を解決するために成されたもので、その目的は、画素電極とこれに近接する走査線や信号線との間の寄生容量を低減して、表示画像の輝度むらやクロストークを解消し良好な画像表示を実現する液晶表示装置を提供することにある。

【0022】

【課題を解決するための手段】本発明の液晶表示装置は、列設された走査線とこれに交差して列設された信号線と前記走査線および前記信号線に接続された薄膜トランジスタ素子とこれに接続された画素電極とを有するアレイ基板と、これに対向する対向電極を有する対向基板と、前記アレイ基板および前記対向基板の間に挟持された液晶層とを備え、前記画素電極の周縁部の少なくとも一部に重なり、かつ前記走査線および前記信号線のうち

(4) .

特開平5-203994

5

少なくとも一方に重なるように配設された静電遮蔽性を有するシールド電極を前記アレイ基板上に具備することを特徴としている。

【0023】なお、前記のシールド電極は、光遮断性の高い材質から形成し、走査線や信号線と画素電極との間の間隙部分の光透過を遮断する遮光膜、いわゆるブラックマスクとして兼用するようにしてもよい。

【0024】また、前記のシールド電極は、画素の液晶容量に並列に接続された補助容量や蓄積容量の一方の電極として兼用するようにしてもよい。

【0025】また、前記のシールド電極は、電気的にフローティング状態としてもよく、あるいは電圧を印加してもよい。

【0026】

【作用】画素電極と走査線との間や、画素電極と信号線との間に形成される寄生容量は、2つの電極の形状、その周囲の物質の誘電率などにより決定される電気力線により大きく左右される。

【0027】そこで例えば画素電極と信号線の2つの電極の間に定電位に設定されたシールド電極を配設すると、画素電極と信号線との間に連なろうとする電気力線がこのシールド電極の静電遮蔽効果によって遮断され、あるいは減少する。

【0028】このような静電遮蔽効果は、例えば画素電極と信号線の2つの電極の間を遮るようにシールド電極が配置される場合だけでなく、2つの電極それぞれの上方または下方に絶縁層などを介して重なるように配置される場合にも十分効果的に起こる。そしてこのような電気力線の遮断あるいは減少により、例えば画素電極と信号線の2つの電極の間の寄生容量は解消される。

【0029】本発明の液晶表示装置は、そのような画素電極の周縁部の少なくとも一部に於なり、かつ走査線および信号線のうち少なくとも一方に重なるように配設されたシールド電極により寄生容量を解消して、輝度むらやクロストークの発生を避け高品位な画像表示を実現することができる。

【0030】また、このシールド電極を光遮断性の高い材質から形成すれば、このシールド電極は上記のように画素電極と走査線や信号線とに重なるように配設されているので、いわゆるブラックマトリックスのような遮光膜として兼用することもできる。

【0031】また、このシールド電極は上記のように画素電極と一部重なるように配置しているので、この画素電極と一部重なる部分で絶縁膜などを誘電体として用いた補助容量を形成する補助容量用電極として兼用することもできる。

【0032】

【実施例】以下、本発明の液晶表示装置の実施例を図面に基づいて詳細に説明する。

【0033】（実施例1）図1は第1の実施例の液晶表

6

示装置の一画素部分の構成を示す図、図2(a)はその層構造を示すA-A'断面図、(b)そのはB-B'断面図である。

【0034】この第1の実施例の液晶表示装置は、ガラス絶縁基板101上に列設された走査線103と、これに交差して列設された信号線105と、これら走査線103および信号線105に接続されたTFT107と、これに接続された画素電極109と、ゲート絶縁層111を介して画素電極109の周縁部の四辺全てに重なるとともに信号線105の一部に重なるシールド電極113が形成されている。そして図示は省略するが、TFTアレイ基板115に対向する対向電極を有する対向基板と、この対向基板とTFTアレイ基板115との間に挟持された液晶層とからその主要部が構成されている。

【0035】この第1の実施例の液晶表示装置の特徴は、シールド電極113が画素電極109の周縁部の四辺全てに重なるとともに信号線105の一部に重なり、かつ画素電極109とシールド電極113とが重なる部分でゲート絶縁層111を介して補助容量117を形成していることである。

【0036】次に、このような構成の第1の実施例の液晶表示装置の製造方法を説明する。ガラス基板101上にMo-Ta合金を250nm堆積し、これをパターンニングして走査線103とシールド電極113とを同時に形成する。続いてこれらの上にゲート絶縁層111としてSiO₂、SiN_xをそれぞれ300nm、50nm成膜し、連続してこのゲート絶縁層111の上に活性層のa-Si、チャネル保護膜としてのSiN_xをそれぞれ50nm、200nm成膜する。そしてチャネル保護膜のSiN_xを島状にエッチング形成した後、オーミックコンタクト層としてのn⁺a-Si層を50nm堆積する。その後、n⁺a-Si、a-Siを島状にエッチングし、次いでITOを100nm堆積しこれをパターンニングして画素電極109を形成した後、走査線103の取り出し部分の上のゲート絶縁層111をエッチングにより除去し、Cr、Alをそれぞれ50nm、300nm堆積しこれをパターンニングして、信号線105およびドレイン電極、ソース電極を形成する。

【0037】そして信号線105をマスクとして用いてTFT107のソース電極とドレイン電極との間のn⁺a-Si層をチャネル保護層とは選択的にエッチング除去してTFTアレイ基板を形成する。

【0038】そしてこのTFTアレイ基板115と対向基板とを組み合わせその周囲を封止剤で封止し両基板間に液晶組成物を注入して、この液晶表示装置が完成する。

【0039】このように、本実施例の液晶表示装置は、ガラス基板101上には走査線103と同層にシールド電極113が配設され、これらの上を覆うようにゲート

(5)

特開平5-203994

7

絶縁層111が設けられ、その上に画素電極109と信号線105とが配設されている。そしてシールド電極113は、電源に接続されて所定の電圧が印加され、全ての画素にわたって一定の電位となるように配設されている。

【0040】このような構成の本実施例の液晶表示装置は、画素電極109から信号線105に向かう電気力線がシールド電極113の静電遮蔽効果により大幅に減少するので、画素電極109と信号線105との間に形成されようとする寄生容量が解消され、この寄生容量に起因して発生していた輝度むらやクロストークの発生を防ぐことができる。

【0041】また、シールド電極113と走査線103とは、前述のごとく同層に堆積させたMo-Ta合金のような材質からなる膜をエッチングによりパターンニングして同時に形成できるので、シールド電極113形成のために別に新たな工程を付加する必要がなく、製造工程を簡易なものとするができる。

【0042】また、画素電極109とシールド電極113とが重なる部分でゲート絶縁層111を介して補助容量117を形成している。すなわちシールド電極113を補助容量117の補助容量用電極として兼用しているので、これとは別に補助容量用電極を配設する場合に比べて構造および製造工程を簡易なものとすることができる。

【0043】本発明者らの実験によれば、突き抜け電圧、フレーム反転による画素電位変動を検出して従来装置と比較して、シールド電極113の形成によって画素電極109と信号線105との間の寄生容量 C_{ds1} 、 C_{ds2} が大幅に低減することが確認された。

【0044】(実施例2)図3は第2の実施例の液晶表示装置の一画素部分の構成を示す図、図4(a)はその層構造を示すA-A'断面図、(b)はそのB-B'断面図である。なお、第1の実施例と同じ構成部分は、図1、2と同じ番号を付している。

【0045】この第2の実施例の液晶表示装置においては、シールド電極213が走査線103および信号線105の一部と重なるように配設し、シールド電極213を遮光膜、いわゆるブラックマトリックスとして用いるとともに、シールド電極213を電極として用いて補助容量217を形成していることが特徴である。

【0046】シールド電極213は画素電極109の周囲の四辺全てにゲート絶縁層111、第2のゲート絶縁層215、第3の絶縁層219を介して重なり、信号線105の一部にゲート絶縁層111、第2のゲート絶縁層215を介して、また走査線103の一部に第2のゲート絶縁層215を介して重なるように配設されている。また画素電極109と信号線105とは絶縁層219で層分離されており、短絡を確実に防ぐことができる構造となっている。

8

【0047】そして第1の実施例において説明した作用と同様に、このシールド電極213の静電遮蔽効果によって、走査線103と画素電極109との間および信号線105と画素電極109との間の寄生容量が解消される。

【0048】シールド電極213の材質としてはMo-Ta合金を、また第2のゲート絶縁層215としてはSiO₂を、また第3の絶縁層219としてはSiN_xを用いた。Mo-Ta合金のような光遮断性の高い材質をシールド電極213として用いているので、このシールド電極213で被覆された部分、即ち画素電極109と走査線103の間隙、および画素電極109と信号線105の間隙には光は透過せず、シールド電極213で被覆されていない部分の画素電極109だけに光が透過するので、このシールド電極213はブラックマトリックスとしての機能を兼備しているのである。これにより、従来のような対向基板側のブラックマトリックスを省略することができる。ただし、このときTFT107近傍に対応する部分の対向基板にはブラックマトリックスを設けるなどして対向基板からの光やガラス基板の正面側内面での反射光などに対する遮光性をより確実なものとするのが好ましい。

【0049】また、信号線105、走査線103付近のブラックマトリックスを残し、このブラックマトリックス内でカラーフィルタの画素ごとの色分離を行えば、ブラックマトリックスを省略したものに比べてカラーフィルタの検査等が簡易に行なうことができ製造歩留まりの向上が図れるなどの効果もあるので、対向基板側のブラックマトリックスは必ずしも省略しなければならないことはない。

【0050】ただし、対向電極の開口部をシールド電極の開口部よりも広くしたブラックマトリックスを補助的に用いて、製造上両者の位置がずれてもいずれか一方が開口部を規定するようにすることが望ましい。図示は省略しているが、本実施例ではシールド電極213の開口部よりも8μmの距離だけ開口部を広くとったブラックマトリックスを補助的に用いている。これにより、パターンずれが発生しても確実に遮光することができる。

【0051】(実施例3)図5は第3の実施例の液晶表示装置の一画素部分の構成を示す図、図6はその層構造を示すA-A'断面図である。

【0052】なお、第1、2の実施例と同じ構成部分は、図1、2等と同じ番号を付している。

【0053】この第3の実施例の液晶表示装置は、第2の実施例の液晶表示装置を改良したもので、画素電極109の周囲と走査線103および信号線105の一部に重なるようにシールド電極313を形成して、これを遮光膜、いわゆるブラックマトリックスとして兼用するとともに、画素中央部に設けられた補助容量317の補助容量用電極としても兼用する構造を採用しており、また

(6)

特開平5-203994

9

10

その製造方法としてもシールド電極313を用いてセルフアラインにより画素電極109を形成している点の特徴である。

【0054】シールド電極313を覆うように第2のゲート絶縁層215およびゲート絶縁層111が形成され、その層間に走査線103が形成され、最上層に画素電極109が形成されている。

【0055】その画素電極109を形成する際、ITO膜堆積後にネガレジストまたはイメージリパースレジストを用いてまず裏面から露光し、続いて表面(主面)からソース電極と重なる部分と補助容量317を形成する部分にフォトマスクを用いて露光し、画素電極109を形成する。この場合、信号線105および走査線103のみでセルフアラインする場合に比べて画素電極109と信号線105および走査線103との間の距離を大きく取れるので、それらの間の寄生容量をさらに小さく低減することができる。

【0056】また、このように画素電極109の周囲と走査線103および信号線105の一部に重なるようにシールド電極313を形成してこれをブラックマトリックスとして兼用しているため、これにより第2の実施例と同様に対向基板側のブラックマトリックスを省略することができる。

【0057】このシールド電極は、画素電極109の層よりも下層であれば、ゲート絶縁層111のような絶縁層を介してどの層に形成することもできる。

【0058】(実施例4)図7は第4の実施例の液晶表示装置の一画素部分の構成を示す図、図8(a)はその層構造を示すA-A'断面図、(b)はそのB-B'断面図である。なお、第1の実施例と同じ構成部分は、図1、2等と同じ番号を付して示している。

【0059】この第4の実施例の液晶表示装置は、第2の実施例の液晶表示装置をさらに改良したもので、その層構造は第2の実施例とほぼ同様であるが、シールド電極413をITOのような透明導電膜で形成し、画素電極109の全面に対向するように配置しゲート絶縁層111および第2のゲート絶縁層215を介して補助容量417を形成することで、補助容量417の面積を大きく取ることができる点の特徴である。そのシールド電極413の材質としてはITO(酸化インジウム・錫)を用いた。

【0060】形成される補助容量417の値は、シールド電極413と重なる画素電極109の面積に左右されるので、本実施例では図7に示すようにこのシールド電極413を画素電極109の全面よりも大きな面積に形成した。しかし駆動電流特性などTFTの性能上の問題から必ずしも大きくはできないので、このシールド電極413の面積を適宜、適切な値に設定することが望ましい。例えば、画素電極の上半分に重なるような形状に形成して本実施例の約半分の容量に設定してもよい。

【0061】(実施例5)図9は第5の実施例の液晶表示装置の一画素部分の構成を示す図、図10はその層構造を示すA-A'断面図である。なお、第1の実施例等と同じ構成部分は、図1、2等と同じ番号を付して示している。

【0062】この第5の実施例の液晶表示装置は、第1の実施例の液晶表示装置を改良したもので、シールド電極513と画素電極109とがゲート絶縁層111を介して重なる部分で補助容量517を形成し、かつそのシールド電極513が信号線105の一画素に相当する部分全体にわたって重なるように配設されていることが特徴である。シールド電極513をこのように配置することによって、信号線105近傍の静電遮蔽を第1の実施例よりもさらに効果的に行なうことができ、その結果、寄生容量Cds1、Cds2をさらに効果的に低減することができる。

【0063】また、このようにシールド電極513を信号線105の一画素に相当する部分全体にわたって重なるように配設すれば、信号線105の幅がさらに微細なものとなっても、シールド電極513の幅には余裕があり、パターンずれなどの心配がないので製造が簡易であるという利点もある。

【0064】(実施例6)図11は第6の実施例の液晶表示装置の一画素部分の構成を示す平面図、図12(a)はその層構造を示すA-A'断面図、(b)はそのB-B'断面図である。なお、第1の実施例、第5の実施例等と同じ構成部分は、図1、2、9、10等と同じ番号を付して示している。

【0065】この第6の実施例の液晶表示装置は、第5の実施例の液晶表示装置をさらに改良したもので、画素電極109をゲート絶縁層111の層中に形成し、信号線105をそのゲート絶縁層111の上に配設して、画素電極109と信号線105との短絡を確実に防ぐ構造としたことが特徴である。またシールド電極613はゲート絶縁層111を介して画素電極109の下層に配設されている。

【0066】これにより、シールド電極613の静電遮蔽効果および遮光効果に併せて、画素電極109と信号線105の間を短絡が生じることなく近付けることができるといふ効果をも実現している。

【0067】次に、このような第6の実施例の液晶表示装置の製造方法を説明する。

【0068】ガラス基板101上にMo-Ta合金を250nm堆積し、これをパターンニングして走査線103とシールド電極613とを同時に形成する。続いてこれらの上にゲート絶縁層111となるSiO₂を200nm堆積する。このSiO₂膜はピンホール欠陥などによる画素電極109とシールド電極613との短絡を防ぐために100nmずつ2回に分けて堆積することが望まし

(12)

特開平5-203994

21

22

容量を低減して、表示画像の輝度むらやクロストークを解消し良好な画像表示を実現する液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】第1の実施例の液晶表示装置の構成を示す図。

【図2】第1の実施例の液晶表示装置の断面図。

【図3】第2の実施例の液晶表示装置の構成を示す図。

【図4】第2の実施例の液晶表示装置の断面図。

【図5】第3の実施例の液晶表示装置の構成を示す図。

【図6】第3の実施例の液晶表示装置の断面図。

【図7】第4の実施例の液晶表示装置の構成を示す図。

【図8】第4の実施例の液晶表示装置の断面図。

【図9】第5の実施例の液晶表示装置の構成を示す図。

【図10】第5の実施例の液晶表示装置の断面図。

【図11】第6の実施例の液晶表示装置の構成を示す図。

【図12】第6の実施例の液晶表示装置の断面図。

【図13】第7の実施例の液晶表示装置の構成を示す図。

【図14】第7の実施例の液晶表示装置の断面図。

【図15】第7の実施例の液晶表示装置の構成を示す図。

【図16】第9の実施例の液晶表示装置の層構造を示す断面図。

【図17】第9の実施例の液晶表示装置のスルーホール形成プロセスを示す図。

【図18】第9の実施例の液晶表示装置の第1の変形例

を示す図。

【図19】第9の実施例の液晶表示装置の第2の変形例を示す図。

【図20】第9の実施例の液晶表示装置の第3の変形例を示す図。

【図21】第9の実施例の液晶表示装置の第4の変形例を示す図。

【図22】第9の実施例の液晶表示装置の第5の変形例を示す図。

10 【図23】第10の実施例の液晶表示装置の層構造を示す断面図。

【図24】第10の実施例の液晶表示装置の変形例を示す断面図。

【図25】突き抜け電圧を数式を用いて説明するための図。

【図26】突き抜け電圧 ΔV_P と補助容量の幅 W_{cs} との相関関係を示す図。

【図27】補正部2701を配設した液晶表示装置の実施例を示す図。

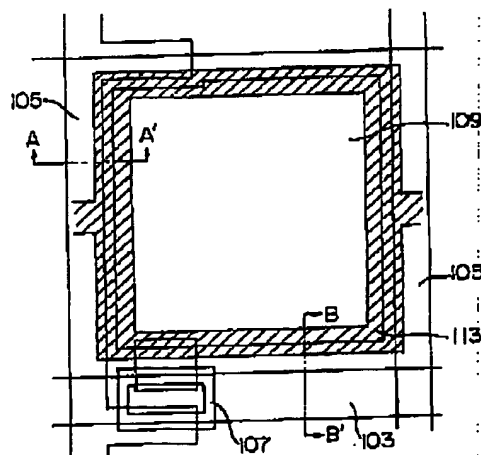
20 【図28】従来の液晶表示装置の構成を示す図。

【図29】従来の液晶表示装置を電気的に等価回路で示す図。

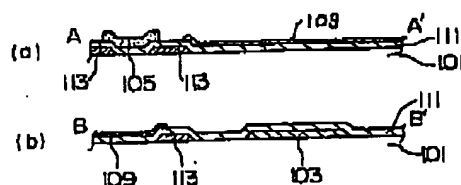
【符号の説明】

101…ガラス絶縁基板、103…走査線、105…信号線、107…TFT、画素電極109、ゲート絶縁層111、シールド電極113、TFTアレイ基板115、補助容量117

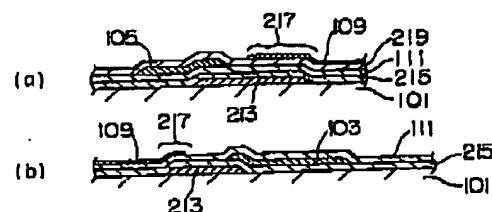
【図1】



【図2】



【図4】



(11)

特開平5-203994

$$\begin{aligned}
 & 19 \\
 & (1/V_g) \times (d\Delta V_p/dX) \\
 & = (W_{is} \cdot C_{gi} / 4) \times \{2(C_s + \beta \cdot C_{lc-max}) - L_g \cdot L_{cs} \cdot C_{sl}\} / \\
 & (C_s + \beta \cdot C_{lc-max})^2
 \end{aligned}$$

20

ここで、Xの変化により ΔV_p の変化を最も小さくするには、 $d\Delta V_p/dX = 0$ となるように W_{cs} を設定すればよい。従って、そのような最適な W_{cs} は、上式から、

$$W_{cs} = (L_g \cdot L_{cs} \cdot C_{sl} - 2\beta \cdot C_{lc-max}) / (2L_{cs} \cdot C_{sl})$$

とすればよいことが導かれる。
【0125】本実施例の場合、第7の実施例の液晶表示装置と同様の構成としているが、その主なパラメータを挙げると、 $L_g = 13\mu m$ 、 $L_{cs} = 550\mu m$ 、 $C_{lc-max}/C_{lc-min} = 0.35pF/0.14pF$ 、 $C_{sl} = 1.8 \times 10^{-4} pF/\mu m^2$ であり、上式に代入すると、最適値は $W_{cs} = 4\mu m$ となる。実際に本実施例においては W_{cs} を $4\mu m$ に設定しており、その表示画像を目視にて検証した結果、良好な表示品位を実現できることが確認された。

【0126】なお、補助容量の幅： W_{cs} は上記の最適値のみに限定しない、図26からわかるように、その最適値を $W_{cs^{opt}}$ とすると、 $0.7W_{cs^{opt}} \leq W_{cs} \leq 2W_{cs^{opt}}$ に設定すれば実用上の十分な効果を得ることができる。

【0127】また、図26からわかるように、 W_{cs} が小さい領域では C_s の変動の割合が相対的に大きくなることにより ΔV_p の変動が大きくなるが、開口率を考慮すれば W_{cs} は小さい方が好ましい。従ってこの場合 ΔV_p を抑えるには L_g を小さくすることが望ましい。

【0128】さらに発明者らが詳細に試行、評価したところによれば、第7の実施例のように走査線およびゲート電極とシールド電極とを別工程で形成した場合にも ΔV_p の画面内でのばらつきが減少していることが確認された。これは別工程で形成しているにも関わらず、走査線およびゲート電極の線幅と、補助容量の電極の線幅との線幅変化に相関関係があることによる。これは、本実施例の場合、それぞれの工程を同一の装置内で行なったため、その装置特有のパターンニング条件が別工程のそれぞれの工程でも同様な条件となり、前記の線幅の変動の幅どうしが ΔV_p の画面内でのばらつきを減少させるように互いに変動したためと考えられる。

【0129】図27は、前記の突き抜け電圧 ΔV_p の画面内でのばらつきをさらに積極的に減少させるために、補正部2701を配設した液晶表示装置の実施例を示す図である。この補正部2701は、画素電極109と走査線103とが重なることで、補正用の C_{cs} を形成するものである。この実施例の液晶表示装置では、走査線と補助容量の電極となるシールド電極との線幅のばらつきどうしを相殺させるのみならず、画素電極109の線幅のばらつきによる突き抜け電圧 ΔV_p をも相殺させることができることを我々は確認した。

【0130】ただし、この補正部2701は C_{cs} として機能するので、表示特性を悪化させない程度の容量値に*

* 設定することが望ましい。即ち、上述の補正効果が実現できるサイズに、プロセス上可能な限り小さく形成することが望ましい。

【0131】なお、シールド電極を信号線側のブラックマトリックスとして用いるような場合、液晶のディスクリネーションによる表示不良が画面に視認されないようにする必要がある。このディスクリネーションは、一般に液晶層に対する横方向の電界により引き起こされると言われており画素電極の端部にライン状に発生する。また、このディスクリネーションの発生はラビングなどの配向方向にも左右される。従って例えば第5の実施例の液晶表示装置のような場合では、OA用などに用いるために斜め方向にラビング配向処理が施されているので、画素電極の左側端部と右側端部とでディスクリネーションの発生状況が異なる。その結果実際に表示を行なうと、画素電極の左側端部ではディスクリネーションが目立つ一方、右側端部ではほとんど発生しないように見える。従ってこのような場合では、シールド電極と画素電極との重なりは画素電極の左側端部の方を右側端部よりも大きく重なるように設定すれば、シールド電極によりディスクリネーションによる表示不良を隠蔽することができる。このようにディスクリネーションによる表示不良を隠蔽することが望ましい。

【0132】また、ディスクリネーションは液晶層に接する配向膜やパッシベーション膜などの段差部分等に引っかけると発生することがあるので、これを避けるために、画素電極の上には保護膜（パッシベーション膜）などの段差が形成されないようにして画素電極の外側に十分距離を置いて、望ましくは $10\mu m$ 程度に離して段差が配置されるようにすることが好ましい。さらに、そのような保護膜の端部は、段差が急峻にならないように緩やかなテーパ状に加工することが望ましい。

【0133】また、以上の実施例では、シールド電極の材料としてMo-TaやAl等の金属材料を用いているが、これには限定しない。このシールド電極は補助容量の電極として兼用する場合に抵抗値が高いと時定数に基づく電位変動が大きくなるので、導電性が高く抵抗値の低い材料のうちプロセス整合性が高いものであれば、その他の材料も用いることができる。

【0134】この他、TFTアレイのパターン、層構造、材料などは、上記の実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲で各液晶表示装置の仕様に応じて適宜変更可能であることは言うまでもない。

【0135】

【発明の効果】以上詳述したように、本発明によれば、画素電極とこれに近接する走査線や信号線との間の寄生

(10)

特開平5-203994

17

【0114】このような構造およびその製造方法を採用することにより、製造工程において高価なプラズマCVD成膜工程の数を減らすことができ、製造コストを低減化することができる。

【0115】また、 Al_2O_3 、 TaO_3 、 TaN 、 O_y 、 TiO_x 、 $Ta-Si-O$ 、 $Ta-Si-N-O$ はそれぞれ比誘電率が7、30、20、85、20、15であり、 SiO_2 の4に比べて大きいためにシールド電極1013を一方の電極に用いた補助容量の値を、小さな面積で大きくできるという利点がある。

【0116】また、プラズマCVDで形成する膜には作業雰囲気中に塵埃があるとピンホール欠陥が発生しやすく、これに起因した短絡欠陥が発生しやすいので、その膜厚はある程度厚くすることが必要である。一方、TFT107に用いられるゲート絶縁層の厚さは、ITOの画素電極109の上の絶縁層と下の絶縁層との総和であるが、その膜厚が厚過ぎて容量が小さいとオン電流が十分には取れなくなるので、膜厚が厚過ぎることは好ましくない。従って絶縁層である前記の薄膜2401等は比誘電率の高い材質で形成することは有効である。

【0117】一方、信号線105と画素電極109とがパターン乱れを起して重なった場合、これらの間に形成されるカップリング容量により、その画素が表示不良となる場合があるが、これを抑制するためには、その容量値を下げるのが効果的である。従って、液晶よりも比誘電率の小さい SiO_2 等の絶縁膜を信号線105と画素電極109との間に可能な限り厚い層に介挿することが効果的であるため、第1層目の絶縁層には陽極酸化膜を用いることが有効である。

【0118】(実施例11) 突き抜け電圧： ΔV_p が画面内で位置ごとに異なる場合、画面内のすべての画素に対して適切なオフセットされた対向電極電圧を設定することは不可能であり、フリッカや妨害縞、焼き付き等の画像表示不良が発生し、表示品位を著しく低下させる要因となっている。

【0119】そこでこのような突き抜け電圧を抑える対策が必要となる。これを図25に基づいて以下に説明する。

【0120】シールド電極と画素電極とを重ねて補助容量を形成する場合、補助容量2501を形成する重なり幅を最適な幅： WCS に設定すれば、突き抜け電圧： ΔV_p の画面内の分布幅が小さくなる効果があることを発明者らは確認した。

【0121】ある $Cs0$ 、 C_{lc-max} に対して、必要なTFTサイズ： W が決定される。ここで、補助容量2501を形成する重なり幅： Wcs を変化させるとその容量値 Cs が変化するため、それに対応して前記の W を変更する必要がある。ところが、突き抜け電圧： ΔV_p の Wcs 、 W の変動による変化を考慮すると、それにより決定される最適な幅： Wcs がある。即ち走査線と補助容量の電極

18

となるシールド電極との総幅のばらつきどうしを相殺させるのである。このような WCS に設定すれば突き抜け電圧 ΔV_p を最小に抑えることができる。

【0122】そこで実際に、 Wcs 、 W を変化させた数種類のTFT-LCDを試作して、画面内の突き抜け電圧： ΔV_p を測定した。このときゲート電極幅： $L_g = 13\mu m$ とし、TFT107はチャネル保護層がゲート電極に対して自己整合により形成されたセルフアライメント型のものを用いた。ただし、ゲートおよびシールド電極を形成する工程で、意図的に線幅の分布（位置的ばらつき）が $1\mu m$ 程度起こるようにした。その分布の様子を図26に示す。

【0123】以下に、数式を用いてさらに詳細に上述の WCS の求め方を説明する。

【0124】ここで、

L_g : ゲート電極幅
 Wis : チャネル保護層の長さ
 Lcs : 補助容量を形成する画素電極とシールド電極との重なり長さ
 Wcs : 補助容量の幅（＝補助容量の面積/ Lcs ）
 Cgi : 単位面積当りのゲート絶縁層の容量値
 Csi : 単位面積当りの補助容量の容量値
 $Cs0$: 設計上の補助容量の容量値（設計値）
 Cs : 補助容量の容量値（実際の値）
 C_{lc-max} : 一画素の液晶容量の最大値
 C_{lc-min} : 一画素の液晶容量の最小値
 Cgs : ゲート（走査線）・ソース（画素電極）間の寄生容量
 Wo : 設計上のTFTの幅（設計値）
 W : TFTの幅（ Cs により変化する実際の値）
 Vg : 走査線印加電圧
 β : 定数（ただし $\beta = (C_{lc-max} + C_{lc-min}) / 2C_{lc-max}$ ）

である。また、本実施例では $Wis = W + 5\mu m$ としている。

突き抜け電圧： ΔV_p は、

$$\Delta V_p = (V_g \cdot Cgs) / (Cs + \beta C_{lc-max})$$

$$Cgs = L_g \cdot Wis \cdot Cgi / 2$$

$$Cs = Lcs \cdot Wcs \cdot Csi$$

ここで

$$\alpha = (Cs0 + C_{lc-max}) / Wo$$

$$W = (Wcs \cdot Lcs \cdot Csi + C_{lc-max}) / \alpha$$

ゲート電極および走査線あるいは補助容量の電極と兼用されるシールド電極の形成において、設計上 $X0$ のパターン幅に対して出来上がったパターン幅が X とすると、

$$dCgs/dX = (dCgs/dL_g) \times (dL_g/dX) = (Wis \cdot Cgi / 2) \times 1$$

$$dCs/dX = (dCs/dWcs) \times (dWcs/dX) = Lcs \cdot Csi / 2$$

以上から、

(9)

特開平5-203994

15

多いので、本実施例のようにスルーホール1607のパターンよりもその上層に堆積されるMo/Al/Mo膜からなる配線パターンを大きく設定しておくことが好ましい。

【0099】なお、スルーホールの形成は、上記の工程に限定されるものではなく、例えばSiO₂のアンダーカットを防ぐためにリアクティブイオンエッチング(RIE)を用いてもよいが、SiO₂をRIEでエッチングする際に下地のMo-Taとは選択的にエッチングしなければならず、その条件ではSiO₂のエッチングレートが500オングストローム/分程度しか得られないために生産性が低い。またn⁺a-Si上にレジストを塗布すると表面が汚れてTFT107の特性が劣化する場合があるので、n⁺a-Si上にMoを500オングストローム程度堆積し、スルーホール形成後にMoをエッチング除去することが好ましい。更にa-Si膜のパターンニング工程を省略することは、この他の実施例の液晶表示装置にも適用することができ、また必ずしもシールド電極と組み合わせることに限定しない。例えば、その層構造は図18乃至図22に示すような種々の構成にも適用することができる。

【0100】なお、図21、22に示すような構成の場合、画素電極109上にスルーホールを形成する必要はないが、走査線103の取り出し部分では前記のようなプロセスを用いることが好ましい。さらに図22の場合、シールド電極613上のパッシベーション層1615は、補助容量を大きくするためにエッチング除去してもよい。

【0101】また、図22に示すような構成にすれば、ソース電極1611と画素電極109を接続する側のスルーホールと走査線103の取り出し部分とを同一工程で形成し、5回のパターンニング工程でTFTアレイが形成できるので生産性がさらに向上する。このときエッチングはRIEによりパッシベーション層1615のSiN_x膜からゲート絶縁膜111のSiN_x膜まで行ない、続いてBHFでSiO₂膜をエッチングした後、前記と同様なCDE処理を施すことにより庇状の突出のない形状が得られた。

【0102】特に、図22に示す例は画素電極109をパッシベーション層1615上に形成したもので、補助容量の誘電体として用いられる絶縁膜の厚さの総和を大きくすることができるので、例えばシールド電極613と画素電極109との重なりを大きく取らねばならずしかも補助容量の値を抑制したい場合などに特に有効である。

【0103】(実施例10) 図23は第10の実施例の液晶表示装置の一面素部分の層構造を示す断面図である。なお、既述の実施例と同じ構成部分は同じ番号を付して示している。

【0104】例えば図11に示したような既述の実施例

16

の液晶表示装置では、ゲート絶縁層のような絶縁層を用いて画素電極、シールド電極、信号線、走査線などの短絡を防止していたが、そのような絶縁層の層数を増やせば成膜工程が増えることになり、製造コストの上昇を招く。これはプラズマCVD装置のような高価な装置および使用ガス、膜材料などを用いることで成膜コストが高くなるためである。

【0105】そこで低コストに絶縁層を形成することが要望されるが、これを実現するためにはシールド電極の表面を陽極酸化する方法が好適である。また陽極酸化によれば、ピンホールが発生しないので層間ショートが発生を避けることができる。

【0106】シールド電極1013、走査線103をAl薄膜からガラス基板101上に形成し、その表面をほう酸中で100Vまで定電流酸化し、さらにその後30分間定電流酸化してAl₂O₃2301を形成する。

【0107】その後ITO膜をスパッタ成膜しパターンニングして画素電極109を形成する。

【0108】次にゲート絶縁膜111を、SiO₂膜、またはSiO₂膜およびSiN_x膜の積層膜により形成する。この上にa-Si膜を形成し、SiN_x膜をパターンニングしてチャネル保護層1603を形成する。そしてn⁺a-Si膜を堆積した後、a-Si膜を島状にパターンニングして活性層1601を形成する。

【0109】そしてAl/Moをスパッタにより積層し、ソース電極1611およびドレイン電極1609を形成する。この上を覆うようにSiN_x膜からなるパッシベーション層を形成し、画素電極109部分および配線引き出し部のSiN_xをエッチング除去する。

【0110】前記のシールド電極1013、走査線103等はAlに限らず、Ta、Ta₂N₅、Ti、Nb、TiN_x、Ta₂N₅/Ta/TaN_xの積層膜などの材料から形成してもよい。

【0111】特に、TaまたはTa₂N₅の陽極酸化膜は、その上にITO膜を積層した後a-Si膜のプラズマCVD成膜を行なうと、In、Snが陽極酸化膜中を拡散してリーク電流が増大する。そこで、図24に示すようにSiO₂、SiN_xもしくはTiO₂、AlO_xのようなIn、Snよりもイオン半径の小さな原子からなる材料を用いて1000オングストローム、好ましくは200～500オングストロームの膜厚の薄膜2401をTa系陽極酸化膜とITO膜との間に形成することによってIn、Snの陽極酸化膜中への拡散を防いでリーク電流の増大を避けることができる。

【0112】また、TaまたはTa₂N₅にSiを混合した合金を用いてもよい。あるいはTaSiN_x/Ta/TaN_xの積層構造により配線を形成し、その表面を陽極酸化してもよい。

【0113】また、ゲート絶縁膜111をスパッタで形成することもリーク電流の抑制に有効である。

(8)

特開平5-203994

13

を用いたセルフアラインによりその画素電極109を形成したものである。

【0083】その画素電極109は、ITO膜を成膜した後、イメージリパースレジストを用いてまずマスク露光によりシールド電極813と重ならない部分の不要部分を露光、現像する。

【0084】続いて裏面露光、マスク露光した後、イメージリパースベークを行い、全面露光することによりパターンを形成する。このような製造方法は、シールド電極813と走査線103とを重ねない構造の液晶表示装置の製造に適しており、またITO膜からなる画素電極109を信号線105よりも先に形成する場合にも用いることができる。また、補助容量517の大部分は最後のマスク露光により形成することができる。

(実施例9) 図16は第9の実施例の液晶表示装置の一画素部分の層構造を示す断面図である。なお、第1の実施例、第6の実施例等と同じ構成部分は、図1、2、11、12等と同じ番号を付して示している。

【0085】第6の実施例の液晶表示装置では、前述のようにパッシベーション層のパターンニングを含めて7工程のパターンニング工程を必要としていた。しかしこのような構成の液晶表示装置では、a-Si層を島状に残す工程を省略することができることを、本発明者らは研究の結果明らかにした。このような6工程のパターンニング工程の製造方法を、図16に基づいて説明する。

【0086】ガラス基板101上にMo-Ta合金を250nm堆積し、これをパターンニングして走査線103とシールド電極613とを同時に形成する。

【0087】続いてこれらの上にゲート絶縁層111となるSiO₂を130nmずつ2回に分けて堆積する。

【0088】次いでITO膜を堆積しこれをパターンニングして画素電極109を形成した後、これを覆うようにゲート絶縁層111となるSiO₂、SiN_xをそれぞれ90nm、50nm堆積する。

【0089】前記の200nmのSiO₂とこのSiO₂、SiN_xとでゲート絶縁層111が形成され、その層中に画素電極109が内設される。

【0090】連続して、このゲート絶縁層111の上に活性層1601のa-Si、チャネル保護層1603としてのSiN_xをそれぞれ50nm、200nm堆積する。

【0091】そしてチャネル保護層1603のSiN_xを島状にエッチング形成した後、オーミックコンタクト層1605としてのn⁺a-Si層を50nm堆積する。

【0092】この後、画素電極109および走査線103の取りだし部分にスルーホール1607を形成する。このときスルーホール1607は最上部のn⁺a-Si層からゲート絶縁層111のSiO₂膜まで連続的にエッチングして穿設する。

【0093】次いで、Mo/Al/Moを堆積し、これをパターンニングして信号線105およびドレイン電極

14

1609、ソース電極1611を形成する。

【0094】しかる後、信号線105等をマスクとして用いてTFT107のソース電極1611とドレイン電極1609との間のn⁺a-Si層をチャネル保護層1603とは選択的にエッチング除去し、また画素電極109上のa-Si層をエッチング除去して、TFTアレイを形成する。

【0095】さらにTFT107上にSiN_xを200nm堆積した後、各電極取り出し部分および画素電極109上のSiN_xをエッチングにより除去した。その際、同時に画素電極109上のSiO₂もエッチングにより除去する。

【0096】以上のように、6回のパターンニング工程で形成することができる。このようにすれば生産性が向上するので好ましい。さらに、従来は半導体層のパターンニングの際のパターン乱れにより、島状の半導体層パターンが設計上は存在するべき場所に存在しないような場合があり、そのTFTが動作不良等となって製造歩留りの低下を招いていたが、本実施例の液晶表示装置においては、このような不良の発生を避けて製造歩留りを向上させることができることが確認された。

【0097】ところで、上記のスルーホール1607の形成プロセスを図17に基づいて説明する。

【0098】まず、n⁺a-Siからなるオーミックコンタクト層1605、a-Siからなる活性層1601、SiN_xからなるゲート絶縁層の一部を、CF₄を主成分とするガスを用いたCDE(ケミカルドライエッチング)により、レジスト1613を用いてエッチング除去しパターンニングする。(a)

30 続いてゲート絶縁層111のSiO₂膜をBHFでエッチングしてスルーホール1607等を穿設し、その下層の走査線103取りだし部分などMo-Ta層表面を露出させる。(b)

このとき、その上層のオーミックコンタクト層1605や活性層などのn⁺a-Si膜やa-Si膜、SiN_x膜は、スルーホール1607の壁面で庇状に突出する。

(c)

そこで更にCF₄を主成分としたガスを用いてCDE処理を施すことで、前記のn⁺a-Si膜やa-Si膜やSiN_x膜の庇状の突出をエッチング除去してSiO₂の壁面よりも十分に後退するように処理する。このとき0.1〜3μm程度後退させることが望ましい。そしてこのとき、露出したMo-Ta表面の酸化物等も軽くエッチング除去されるので、この後で堆積されるMo/Al/Mo膜との電気的接続がさらに良好なものとなる。

(d)

スルーホール1607は庇状の突出を除去しているものの、段差部分がありその上に配設する材料のカバレッジが悪く、段差部分をエッチング時にエッチング液に曝すとマウスホールが形成されていわゆる段切れすることが

(7)

特開平5-203994

11

い。

【0069】続いてITO膜を100nm堆積しこれをパターンニングして画素電極109を形成した後、これを覆うようにゲート絶縁層111となる SiO_2 、 SiN_x をそれぞれ100nm、50nm堆積する。前記の200nmの SiO_2 とこの SiO_2 、 SiN_x とでゲート絶縁層111が形成され、その層中に画素電極109が内設される。

【0070】このゲート絶縁層111の上に活性層のa-Si、チャネル保護層としての SiN_x をそれぞれ50nm、200nm堆積する。そしてチャネル保護層の SiN_x を島状にエッチング形成した後、オーミックコンタクト層としての n^+ a-Si層を50nm堆積する。ここでITO上にプラズマCVDで SiN_x を堆積すると、膜剥れや表面の白濁などの不良が発生することがわかっている。堆積条件を適宜選べばそのような不良を避けて SiN_x を堆積できるが、このような SiN_x をゲート絶縁層として用いるとTFTの特性が劣悪化することがわかった。そこで本実施例では、ITO上に堆積する膜としては SiO_2 が望ましいとして、これを用いた。

【0071】この後、 n^+ a-Si、a-Siを島状にエッチングし、走査線103の取り出し部分、および画素電極109の電気的接続を取る部分のゲート絶縁層111にBFHによりコンタクトホールを穿設する。

【0072】次いで、Cr、Alをそれぞれ50nm、300nm堆積し、これをパターンニングして信号線105およびドレイン電極、ソース電極を形成する。

【0073】そして信号線105をマスクとして用いてTFT107のソース電極とドレイン電極との間の n^+ a-Si層をチャネル保護層とは選択的にエッチング除去してTFTアレイを形成する。

【0074】また、図示は省略したが、TFT上を SiN_x で覆うことによりTFTの信頼性が向上することが判っているので、TFT107上に SiN_x を200nm堆積した後、各電極取り出し部分および画素電極109上の SiN_x をエッチングにより除去した。その際さらに画素電極109上の SiO_2 もエッチングにより除去すれば、さらにさらに画質が向上する。ただしこの画素電極109上の SiO_2 は残すようにすれば、例えば製造工程中に混入した導電性の異物などによる画素電極109と対向電極との短絡不良を防ぐことができる。

【0075】そしてこのTFTアレイ基板115と対向基板とを組み合わせその周囲を封止剤で封止し両基板間に液晶組成物を注入して、この液晶表示装置が完成する。

【0076】なお、本実施例では SiO_2 の堆積はプラズマCVDで行なったが、熱CVDがさらに好適である。

【0077】また、本実施例では補助容量517の誘電体として用いた SiO_2 膜の膜厚は200nmであり、第

12

5の実施例の300nmと比べて薄くなっているにも関わらずシールド電極613と画素電極105との短絡不良の発生は約1/2に減少していた。これは第5の実施例と第6の実施例とを比較検討した結果、以下の事実によるものであることが判明した。

【0078】チャネル保護層を島状にエッチングする際にa-Si層と選択的にエッチングしているのが、原理的にはa-Si層でエッチングが止まることになるが、実際にはピンホール欠陥などがあると、このピンホールを通してゲート絶縁層111にまでエッチャントが浸入して、ゲート絶縁層111に穴が開くことがあり、ITOを堆積するときにこの穴にもITOが堆積されて短絡不良が発生する。しかし本実施例の液晶表示装置においては、ITOからなる画素電極109はチャネル保護層のエッチング工程よりも前の工程で形成され、しかも200℃以上の温度でアニール処理されたITO膜はチャネル保護層のエッチングに用いるエッチャントに対して耐性が極めて高く、上記のような短絡不良はITO膜のピンホール欠陥とa-Si層のピンホール欠陥とが同位置に重なるような場合以外には発生することがほとんどない。このため本実施例においては、シールド電極613と画素電極105との短絡不良の発生は約1/2に減少したものと考えられる。

【0079】(実施例7)図13は第7の実施例の液晶表示装置の一面素部分の構成を示す平面図、図14

(a)はその層構造を示すA-A'断面図、(b)はそのB-B'断面図である。なお、第1の実施例、第6の実施例等と同じ構成部分は、図1、2、11、12等と同じ番号を付して示している。

【0080】この第7の実施例の液晶表示装置は、第6の実施例の液晶表示装置をさらに改良したもので、シールド電極713と走査線103と画素電極109と信号線105とを、それぞれゲート絶縁層111、第2のゲート絶縁層215、第3の絶縁層219を介して層分離し、これらの短絡不良をさらに確実に防止して、シールド電極713のパターンを自由に設定することができるようにしたものである。これにより、画素電極の開口率をさらに広く取ることができるので画面の輝度が向上し、かつ信号線105の一面素に対応するほぼ全面にシールド電極713が重なるので、静電遮蔽効果も高いものとなっている。

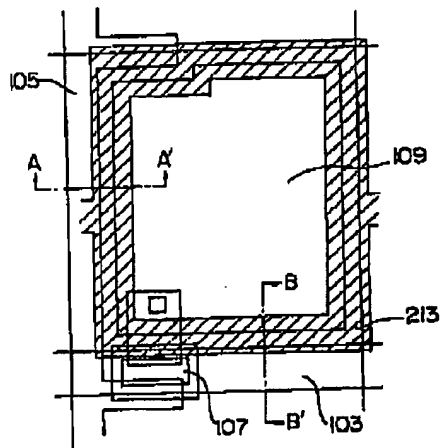
【0081】そしてこのシールド電極713は、走査パルス遅延の問題やシールド電極の電位変動などの問題がなければ、さらに走査線103にも重なるように配置することができ、この場合シールド電極713はブラックマトリックスとして兼用することができる。

【0082】(実施例8)図15は第8の実施例の液晶表示装置の一面素部分の構成を示す平面図である。この第8の実施例の液晶表示装置は、第7の実施例の液晶表示装置における製造方法を改良し、シールド電極813

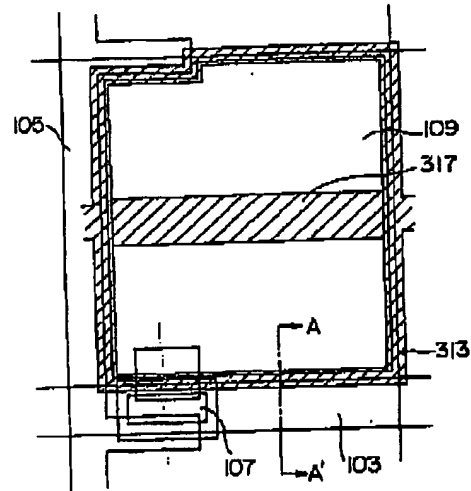
(13)

特開平5-203994

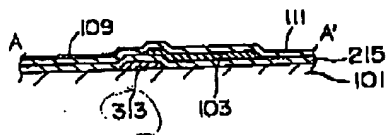
【図3】



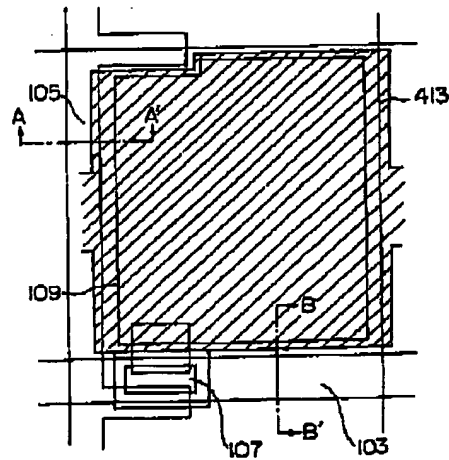
【図5】



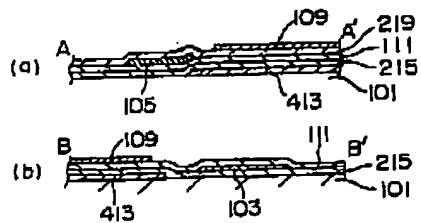
【図6】



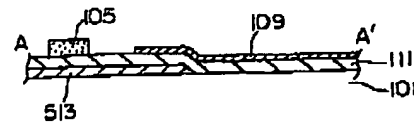
【図7】



【図8】



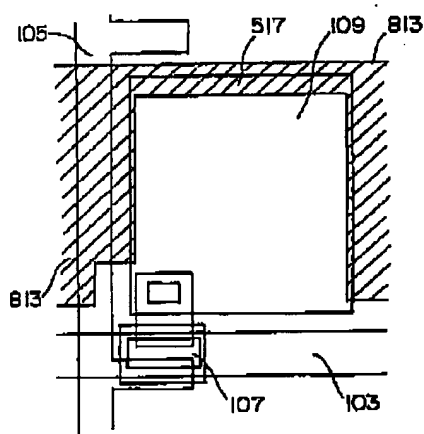
【図10】



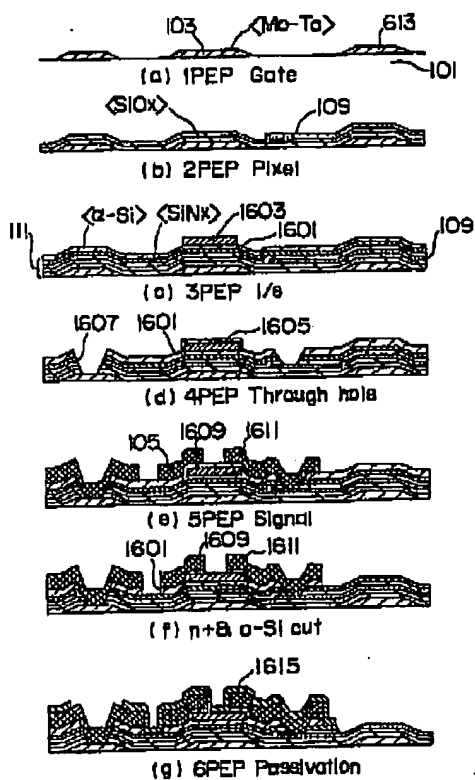
(15)

特開平5-203994

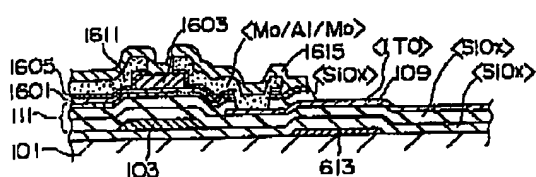
【図15】



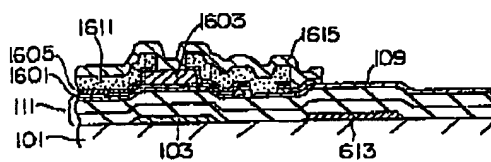
【図16】



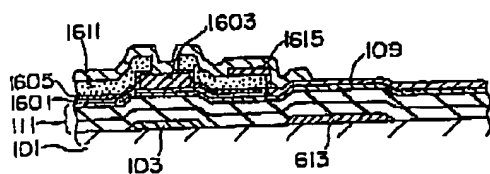
【図19】



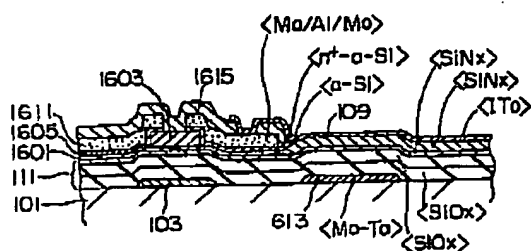
【図20】



【図21】



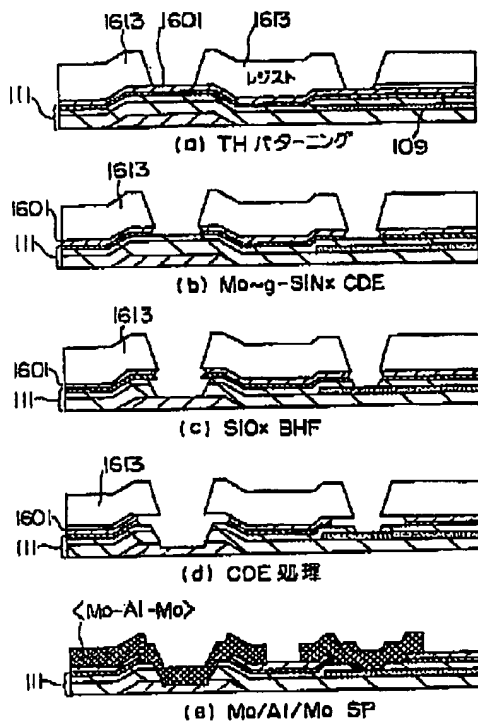
【図22】



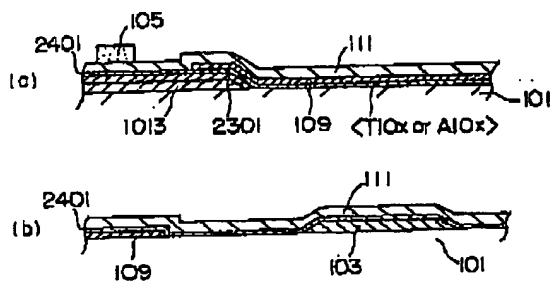
(16)

特開平5-203994

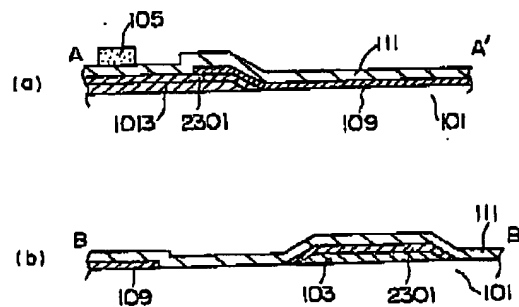
【図17】



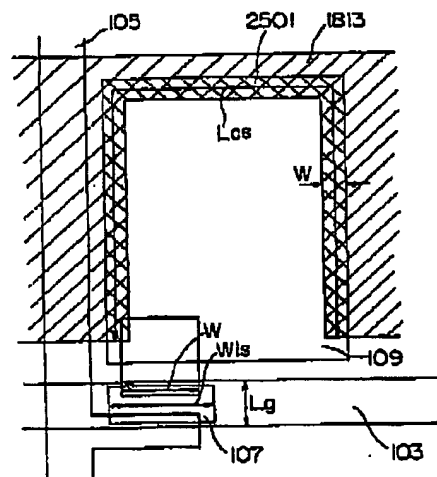
【図24】



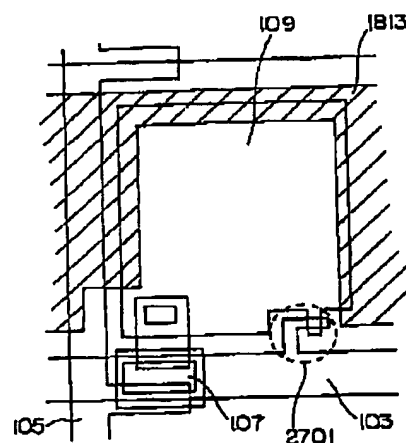
【図23】



【図25】



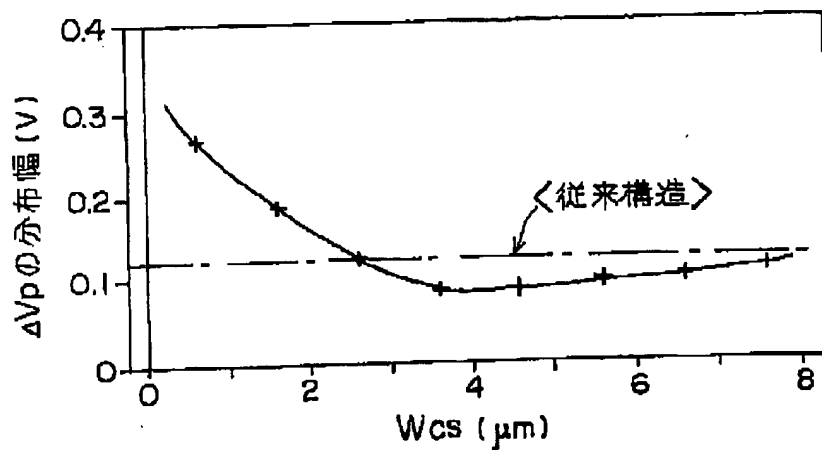
【図27】



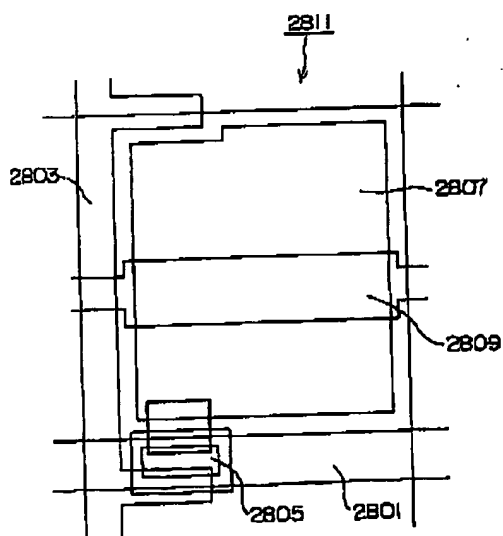
(17)

特開平5-203994

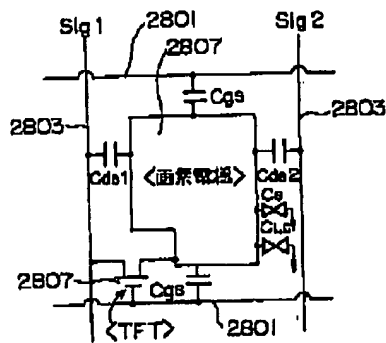
【図26】



【図28】



【図29】



フロントページの続き

(51)Int.Cl.⁶
H01L 29/784

識別記号 庁内整理番号

F I

技術表示箇所

(72)発明者 洪沢 誠
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内(72)発明者 池田 光志
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(18)

特開平5-203994

(72)発明者 辻 佳子
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(72)発明者 戸枝 久郎
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☒ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.